

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/423

In re patent application of

In-sook KIM, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: METHOD OF MANUFACTURING MEMORY WITH NANO DOTS

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

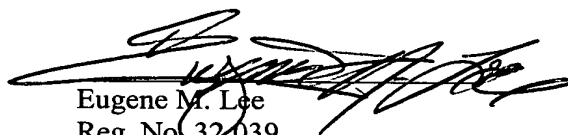
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-82387, filed December 23, 2002.

Respectfully submitted,

December 23, 2003
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0082387
Application Number PATENT-2002-0082387

출원년월일 : 2002년 12월 23일
Date of Application DEC 23, 2002

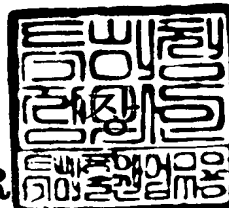
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 06 일

특 허 청

COMMISSIONER



52

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2002. 12. 23
【국제특허분류】	H01L
【발명의 명칭】	나노도트를 가지는 메모리 제조방법
【발명의 영문명칭】	Manufacturing method of memory utilizing nano dot
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	김인숙
【성명의 영문표기】	KIM, In Sook
【주민등록번호】	750517-2121211
【우편번호】	449-712
【주소】	경기도 용인시 기흥읍 삼성종합기술원 여자기숙사 C동 313호
【국적】	KR
【발명자】	
【성명의 국문표기】	서순애
【성명의 영문표기】	SE0, Sun Ae
【주민등록번호】	690828-2951012
【우편번호】	151-050

【주소】	서울특별시 관악구 봉천동 산4-1번지 서울대학교 가족생활 동 932-301		
【국적】	KR		
【발명자】			
【성명의 국문표기】	유인경		
【성명의 영문표기】	Y00, In Kyeong		
【주민등록번호】	530116-1042213		
【우편번호】	442-470		
【주소】	경기도 수원시 팔달구 영통동 두산아파트 805동 505호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	정수환		
【성명의 영문표기】	JEONG, Soo Hwan		
【주민등록번호】	700707-1323419		
【우편번호】	442-727		
【주소】	경기도 수원시 팔달구 영통동 신나무실아파트 509동 401호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 필 (인) 대리인 이해영 (인) 이영		
【수수료】			
【기본출원료】	17	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

나노도트를 가지는 메모리 제조방법이 개시된다. 개시된 메모리 제조방법은, 소스와 드레인 전극이 형성된 기판 상에 제1절연층, 전하저장층, 희생층 및, 금속층을 순서대로 적층하는 제1단계와, 금속층을 양극산화하여 다수의 호울을 형성한 다음, 호울에 노출된 희생층을 산화시키는 제2단계와, 산화된 금속층을 제거하고 산화된 희생층을 마스크로 하여 희생층 및 전하저장층을 식각하여 전하저장층을 나노도트로 패터닝하는 제3단계 및, 산화된 희생층을 제거하고 패터닝된 전하저장층의 상부에 제2절연층 및, 게이트 전극을 증착하고 제1절연층, 전하저장층, 제2절연층 및, 게이트 전극을 소정 형태로 패터닝하는 제4단계를 포함한다. 분포가 균일한 나노 크기의 스토리지 노드를 가지는 메모리를 구현할 수 있다.

【대표도】

도 1k

【명세서】

【발명의 명칭】

나노도트를 가지는 메모리 제조방법{Manufacturing method of memory utilizing nano dot }

【도면의 간단한 설명】

도 1a 내지 도 1k는 본 발명의 실시예에 따른 메모리 제조방법의 단면도,
도 2는 본 발명의 실시예에 따른 메모리 제조방법에서 형성된 나노도트를 보인 SEM 사진.

<도면의 주요부분에 대한 부호설명>

101 ; 기판

102 ; 제1절연층

103 ; 전하저장층

105 ; 희생층

107 ; 금속층

109 ; 제2절연층

111 ; 게이트 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 나노도트를 가지는 메모리 제조방법에 관한 것으로서, 더욱 상세하게는 자기정렬방법을 사용한 나노도트를 가지는 메모리 제조방법에 관한 것이다.

<9> 최근 메모리, 레이저 다이오드(LD; laser Diode), 포토다이오드(photo diode), 트랜지스터, 원적외선 검출기, 태양전지, 광변조기 등에 나노 크기의 나노 소자를 개발하

려는 연구가 활발히 진행되고 있다. 나노 소자는 나노 도트의 크기에 따라 속박되는 전자의 개수가 달라지고 종래의 전자 소자에 비해 적은 수의 전자만으로도 구동이 가능하므로 문턱전류가 낮아져 저전압 구동이 가능하며, 저전압으로도 고출력을 쉽게 유도할 수 있는 등의 우수한 효과를 가진다.

<10> 종래의 나노도트 제조방법은 LPCVD(Low pressure chemical vapor deposition) 등을 포함하는 기존의 증착방법을 이용하여 Si, Si₃N₄의 핵을 형성시키거나 나노 입자를 기판에 분사하는 방법을 사용한다. 하지만, 상술한 종래의 방법은 나노입자의 크기를 제어하기가 어렵고 동일한 크기의 나노 입자만 골라 분사한다고 하더라도 균일한 나노도트의 분포를 얻기 어렵다.

<11> 오늘날 정보통신기술은 테라급에 이르는 대용량의 정보저장, 초고속, 정보전달 및 처리기술을 요구하고 있다. 특히, 대용량의 정보저장을 위해서는 나노도트의 크기를 수 nm 정도로 감소시킬 수 있는 기술이 필요하며, 고성능의 메모리를 구현하기 위해서는 균일한 분포로 나노도트를 형성시킬 수 있는 기술이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 대용량의 메모리를 구현할 수 있도록 수 nm 정도의 크기를 가지고 균일하게 분포되는 나노도트를 가지는 메모리 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여 본 발명은,

- <14> 소스와 드레인 전극이 형성된 기판 상에 제1절연층, 전하저장층, 희생층 및, 금속층을 순서대로 적층하는 제1단계;
- <15> 상기 금속층을 양극산화하여 다수의 호울을 형성한 다음, 상기 호울에 노출된 상기 희생층을 산화시키는 제2단계;
- <16> 상기 산화된 금속층을 제거하고 상기 산화된 희생층을 마스크로 하여 상기 희생층 및 상기 전하저장층을 식각하여 상기 전하저장층을 나노도트로 패터닝하는 제3단계; 및
- <17> 상기 산화된 희생층을 제거하고 패터닝된 상기 전하저장층의 상부에 제2절연층 및, 게이트 전극을 증착하고 상기 제1절연층, 전하저장층, 제2절연층 및, 게이트 전극을 소정 형태로 패터닝하는 제4단계;를 포함하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법을 제공한다.
- <18> 상기 전하저장층은 Si, Si_3N_4 및, Al_2O_3 중 어느 하나로 형성한다.
- <19> 상기 희생층은 Ta로 형성하고, 상기 금속층은 Al 또는 Al 합금으로 형성하는 것이 바람직하다.
- <20> 상기 제1 및 제2절연층은 SiO_2 로 형성한다.
- <21> 상기 제1단계에서, 상기 제1절연층, 전하저장층, 희생층, 금속층 및 제2절연층을 화학기상증착법, 스퍼터링법 또는 이베포레이션법을 이용하여 증착하는 것이 바람직하다
- <22> 상기 제3단계에서, 상기 전하저장층을 나노도트 형태의 기둥이 벌집 모양으로 다수 배열된 도트 어레이 구조로 패터닝하는 것이 바람직하다.

- <23> 본 발명은 전하가 저장되는 나노도트를 수 nm 정도의 크기로 작게 형성할 수 있으며 고르게 분포시킬 수 있어서 균일한 메모리 분포를 가지는 대용량의 메모리를 구현할 수 있다.
- <24> 이하 도면을 참조하여 본 발명의 실시예에 따른 나노도트를 이용한 메모리 제조방법을 상세히 설명한다.
- <25> 도 1a 내지 도 1k는 본 발명의 실시예에 따른 메모리 제조방법을 나타낸 공정도이다. 본 발명의 실시예에 따른 메모리 제조방법은 도 1a 내지 1h에서 도시된 나노도트를 형성하는 단계와, 도 1i 내지 도 1k에서 도시된 트랜지스터 구조를 설치하여 메모리를 완성하는 단계로 이루어진다.
- <26> 먼저 도 1a에 도시된 바와 같이 소스와 드레인 전극(S, D)이 형성된 기판(101) 상에 제1절연층(102)을 증착한 다음, 도 1b에 도시된 바와 같이 제1절연층(102)의 상면에 Si, Si₃N₄, 또는 Al₂O₃와 같은 전하저장물질로 전하저장층(103)을 증착한다. 전하저장층(103)의 상면에는 도 1c에 도시된 바와 같이 Ta와 같은 금속으로 이루어지는 희생층(105)을 증착하고, 희생층(105)의 상면에는 도 1d에 도시된 바와 같이 Al 등으로 이루어지는 금속층(107)을 증착한다. 제1절연층(102), 전하저장층(103), 희생층(105) 및, 금속층(107)은 CVD(Chemical Vapor Deposition), 스퍼터링법, 이베포레이션(evaporation) 등의 박막증착을 할 수 있는 방법을 이용해 증착할 수 있다.
- <27> 도 1e는, 도 1d에 도시된 금속층(107)을 양극산화하여 다수의 호울(108)이 형성되는 산화금속층(107a)으로 변화시키는 단계를 보이고 있다. 산화금속층(107a)에 형성되는 호울(108)로 인해 산화액에 노출되는 희생층(105)의 일부는 산화가 진행되어 산화희생층(105a)으로 조성이 변하면서 호울(108)내부로 일부 성장한다. 예를 들어 금속층(107)

이 Al이면 산화금속층(107a)은 Al_2O_3 로 변하고 희생층(105)이 Ta이면 산화희생층(105a)은 Ta_2O_5 로 변화한다. 양극산화시 형성되는 원형의 호울(108)은 호울(108)의 표면적을 최대한 확대할 수 있도록 벌집모양과 같이 규칙적이고 촘촘하게 배열된 도트 어레이 구조로 형성된다.

<28> 산화금속층(107a)을 제거하면, 도 1f에 도시된 바와 같이 희생층(105)과 산화희생층(105a)이 잔류한다. 도 1g에 도시된 바와 같이, 산화희생층(105a)을 마스크로 하여 산화희생층(105a)의 사이에 위치하는 희생층(105)과 전하저장층(103)을 이온식각(ion-milling)법 또는 RIE(Reactive Ion Etching)법을 이용하여 식각하면, 전하저장층(103)이 벌집모양의 나노도트 어레이구조로 패터닝된다.

<29> 전하저장층(103)의 상면에 위치하는 산화희생층(105a)을 식각하면, 도 1h에 도시된 바와 같이, 패터닝된 전하저장층(103)만이 잔류한다. 그 상면에 도 1i에 도시된 바와 같이 CVD공법 또는 스퍼터링법을 이용하여 제2절연층(109)을 증착한다.

<30> 다시 그 상면에 도 1j에 도시된 바와 같이 게이트 전극(111)을 증착하고, 포토공정을 실행한다. 게이트 전극(111)의 상부에는 감광제(42)를 도포한 다음 마스크(44)를 상부에 두고 노광, 현상 및 식각하여 제1 및 제2절연층(102, 109)과 전하저장층(103) 및, 게이트 전극(111)을 도 1k에 도시된 바와 같이 스트라이프형태로 패터닝한다. 게이트 전극(111)은 폴리실리콘과 같은 도전성 물질을 사용한다. 도 1a 내지 도 1k에 도시된 공정을 수행하면 일반적인 메모리 구조가 완성된다.

<31> 전기적으로 데이터의 소거와 저장이 가능하고 전원이 공급되지 않아도 데이터의 보존이 가능한 비휘발성 메모리 장치는 다양한 분야에서 응용되고 있는데, 그 예로 플래시

메모리, SONOS 메모리 등이 개발되고 있다. 일반적인 플래시 메모리는 비트 라인과 접지 사이에 셀이 병렬로 배열되는 NOR 구조와 직렬로 배치되는 NAND 구조를 가진다.

<32> 본 발명에 의해 제조된 메모리는 전하저장층(103)을 플로팅 게이트로 기능하게 함으로써 플래시 메모리로 구현할 수 있다. 메모리를 점차 대용량화시키고 회로를 복잡하게 구성함에 따라 필요한 게이트 어레이 수가 증가하고 미세 패터닝 기술이 요구된다. 기존의 스택 게이트 형태의 비휘발성 메모리 셀은 점차 그 크기가 작아지고 극미세화가 진행되지만, 이를 위한 포토 및 식각공정기술은 그 한계에 다다르고 있다. 따라서, 본 발명은 나노도트를 이용하는 메모리 제조방법을 제공함으로써 고도의 포토 및 식각공정 기술을 이용하지 않고도 대용량의 비휘발성 플래시 메모리를 제공할 수 있다.

<33> 도 2는 Ta와 Ta₂O₅의 나노크기의 원기둥 구조를 마스크로 하여 전하저장층(103)을 식각하는 과정 중에 얻은 SEM(Scanning Electron Microscopy)사진이다.

<34> 도 2를 참조하면, 20~25nm의 지름과 5nm~15nm의 높이를 가지는 나노도트가 균일하게 분포하고 있는 것을 볼 수 있다. 도 2에 도시된 나노도트는 일구현예로서 본 발명의 실시예에 따른 메모리 제조방법에서는 수 nm 내지 수 십 nm의 크기를 가지는 나노도트를 형성할 수 있다.

<35> 본 발명은 희생층과 양극산화공정을 포함하는 자기정렬공정을 이용하여 간단하게 나노도트를 형성할 수 있는 공정상의 장점과, 수 nm 내지 수 십 nm의 크기를 가지는 나노도트를 균일하게 분포시킴으로써 대용량의 메모리를 구현할 수 있는 장점을 가진다. 나노도트의 크기를 작게 형성하면 메모리의 구동전압이 낮아지므로 고성능의 메모리를 제공할 수 있다.

<36> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다.

<37> 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상에 의해 기판, 전하저장층을 유사한 성질을 가지는 다른 물질을 이용하여 형성할 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<38> 상술한 바와 같이, 본 발명에 따른 나노도트를 가지는 메모리 제조방법의 장점은, 자기정렬공정을 이용한 간단한 제조공정으로 전하를 저장하는 고밀도 나노도트를 균일한 분포로 형성할 수 있으며, 기존의 메모리의 기록, 재생 및, 소거와 동일한 원리를 이용하여 기록, 재생 및, 소거가 가능한 고기록밀도의 대용량 메모리를 제공할 수 있다는 것이다.

【특허청구범위】

【청구항 1】

소스와 드레인 전극이 형성된 기판 상에 제1절연층, 전하저장층, 희생층 및, 금속층을 순서대로 적층하는 제1단계;

상기 금속층을 양극산화하여 다수의 호울을 형성한 다음, 상기 호울에 노출된 상기 희생층을 산화시키는 제2단계;

상기 산화된 금속층을 제거하고 상기 산화된 희생층을 마스크로 하여 상기 희생층 및 상기 전하저장층을 식각하여 상기 전하저장층을 나노도트로 패터닝하는 제3단계; 및

상기 산화된 희생층을 제거하고 패터닝된 상기 전하저장층의 상부에 제2절연층 및, 게이트 전극을 증착하고 상기 제1절연층, 전하저장층, 제2절연층 및, 게이트 전극을 소정 형태로 패터닝하는 제4단계;를 포함하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 전하저장층은 Si, Si_3N_4 및, Al_2O_3 중 어느 하나로 형성하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 희생층은 Ta로 형성하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 금속층은 Al 또는 Al 합금으로 형성하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 제1 및 제2절연층은 SiO_2 로 형성하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 제1단계에서, 상기 제1절연층, 전하저장층, 희생층, 금속층 및 제2절연층을 화학기상증착법, 스퍼터링법 또는 이베포레이션법을 이용하여 증착하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 제3단계에서, 상기 전하저장층을 나노도트 형태의 기둥이 다수 배열된 도트어레이 구조로 패터닝하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법.

【청구항 8】

제 7 항에 있어서,

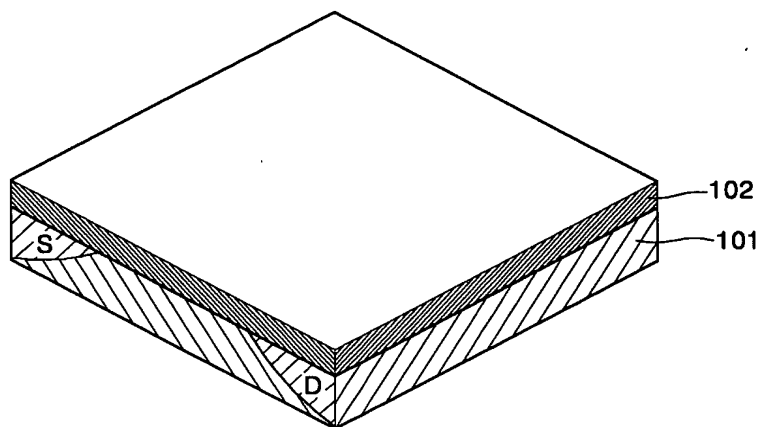
1020020082387

출력 일자: 2003/1/7

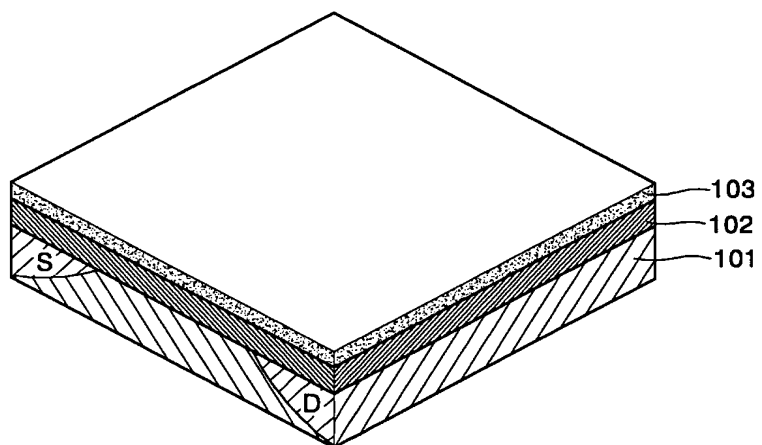
상기 나노도트 형태의 원기둥이 벌집모양으로 배열되게 패터닝하는 것을 특징으로 하는 나노도트를 가지는 메모리 제조방법.

【도면】

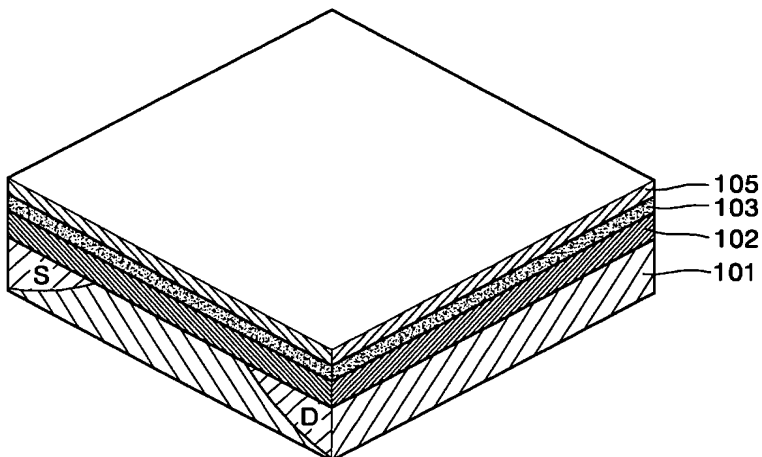
【도 1a】



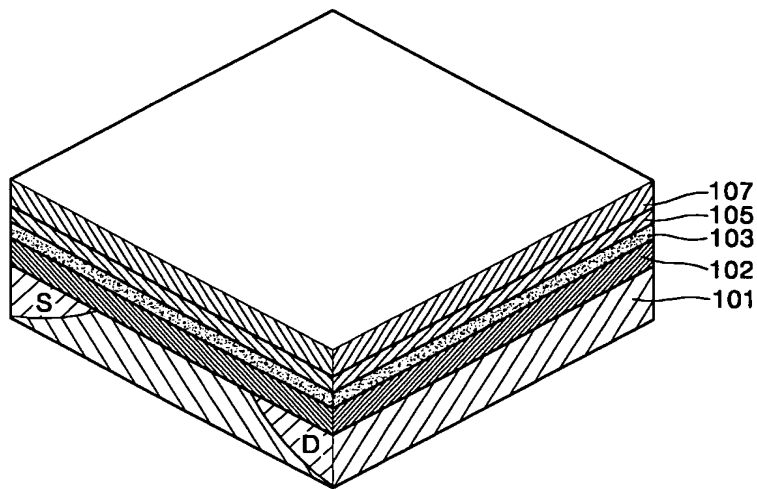
【도 1b】



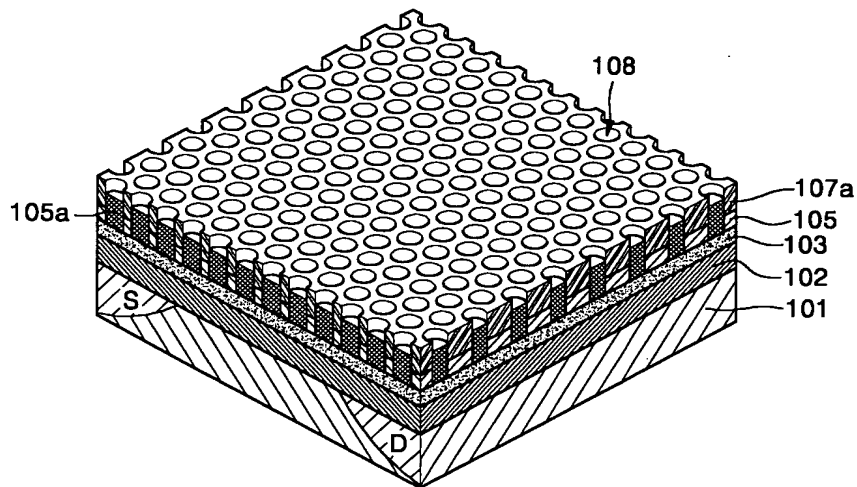
【도 1c】



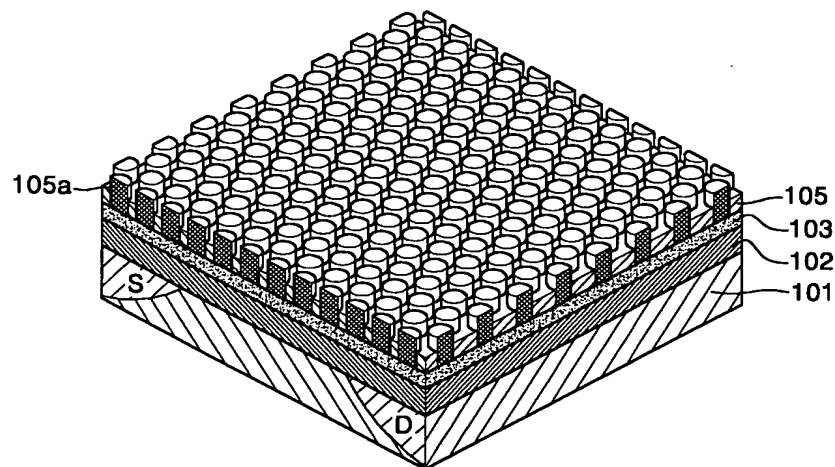
【도 1d】



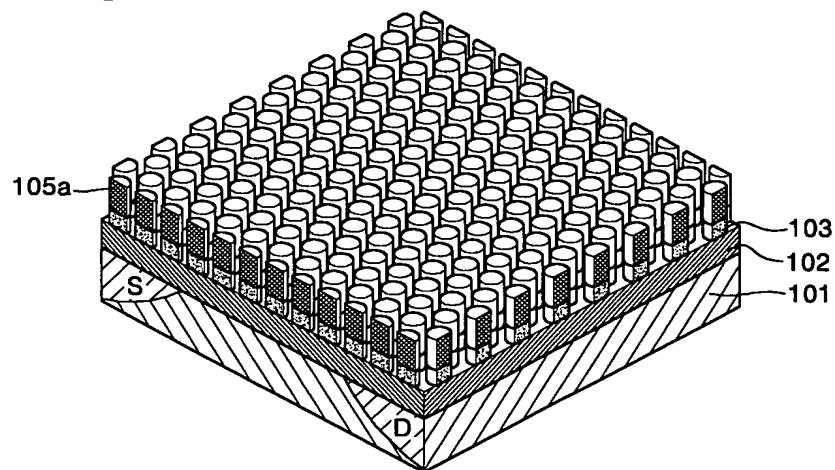
【도 1e】



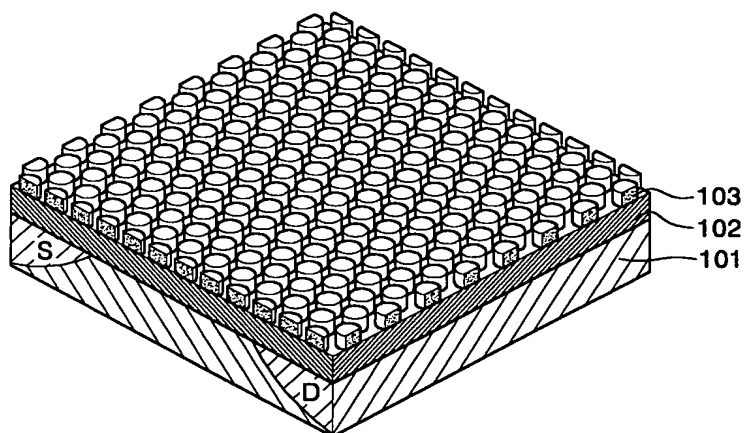
【도 1f】



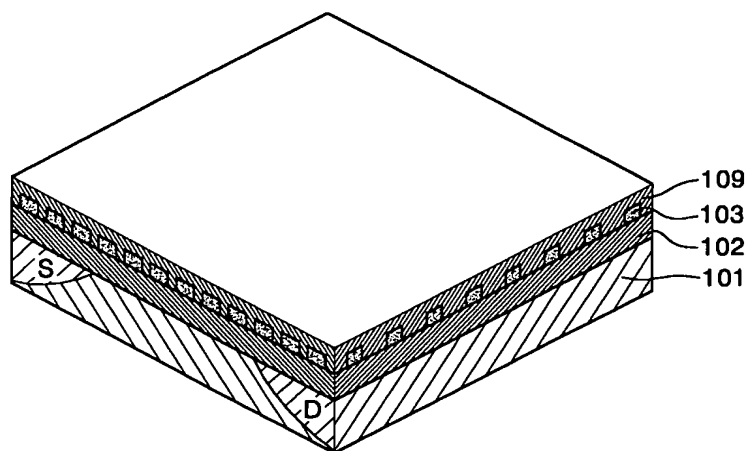
【도 1g】



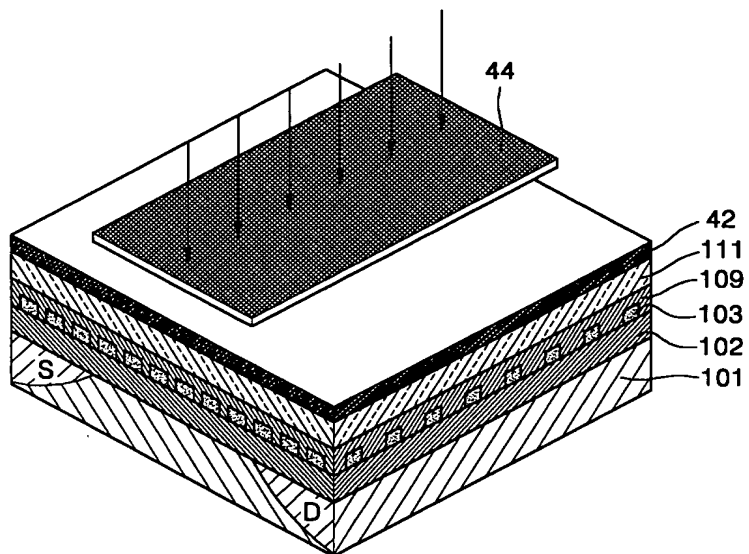
【도 1h】



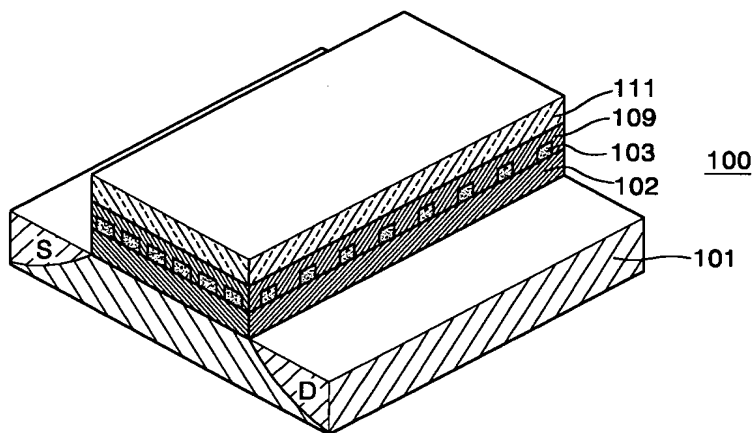
【도 1i】



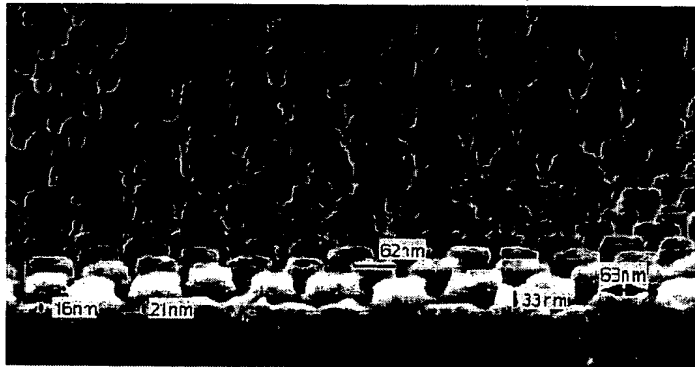
【도 1j】



【도 1k】



【도 2】



DESIGN AVAILABLE COPY